

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-283587

(P2001-283587A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int. Cl.	識別記号	F I	テーマコード(参考)
G 1 1 C	11/403	G 1 1 C 11/34	3 7 1 J
	11/41		Z
	11/407		3 6 2 S
	11/406		3 6 3 M
	11/401		3 6 3 H

審査請求 未請求 請求項の数 7 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2001-52888(P2001-52888)

(22) 出願日 平成13年2月27日 (2001. 2. 27)

(31) 優先権主張番号 09/515007

(32) 優先日 平成12年2月29日 (2000. 2. 29)

(33) 優先権主張国 米国 (U S)

(71) 出願人 301007386

エンハンスド・メモリー・システムズ・インコーポレーテッド
アメリカ合衆国, コロラド州80921, コロラド・スプリングス, ラムトロン・ドライブ1850

(72) 発明者 デビッド・ボンデュラント

アメリカ合衆国, コロラド州 80906, コロラド・スプリングス, ベケット・ドライブ 4025

(74) 代理人 100085419

弁理士 大垣 孝

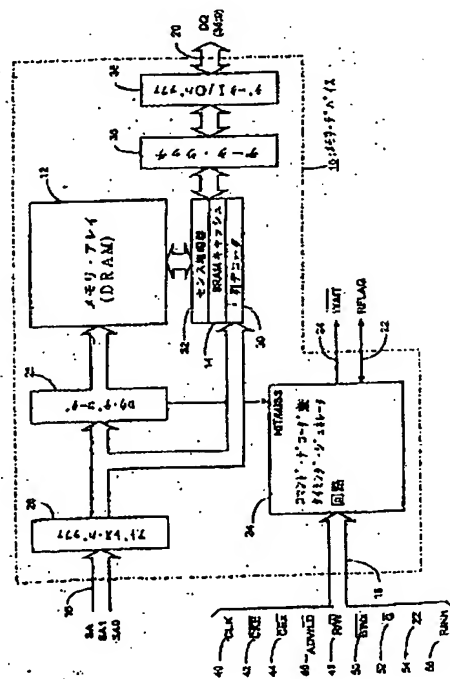
最終頁に続く

(54) 【発明の名称】 エンハンスド・バス・ターンアラウンド集積回路ダイナミック・ランダム・アクセス・メモリ装置

(57) 【要約】 (修正有)

【課題】 従来のZBT SRAMデバイスと類似したピンアウト、タイミング、及び機能セットを有する多くの同じ利点を提供し、一方、デバイスの集積度、消費電力、改良を提供するエンハンスド・バス・ターンアラウンドDRAMを提供すること。

【解決手段】 最高のDRAM性能を提供する特定用途のエンハンスド・バス・ターンアラウンド集積回路ダイナミック・ランダム・アクセス・メモリ ("DRAM") 装置であり、また同時にゼロ・バス・ターンアラウンド ("ZBT")、またはパイプライン・バースト・スタティック・ランダム・アクセス・メモリ ("SRAM") 装置を使用するため設計されたシステムに容易に統合することができる。「待機」ピンを備えることを通して、この発明のエンハンスド・バス・ターンアラウンド・デバイスは、システム・メモリ・コントローラに、何時、付加的な待ち状態が加えられなければならないかを合図することができ、マスター/スレーブ及び禁止ピンを使用する。



【特許請求の範囲】

【請求項1】 アドレス・バスとデータ・バスとを有する集積回路メモリ装置において、

アドレス・バス上に送られたアドレスにより選択されたダイナミック・ランダム・アクセス・メモリ・アレイのメモリ位置に、データ・バス上に送られたデータを書き込むために、前記選択されたメモリ位置にアクセスできる少なくとも一つの当該ダイナミック・ランダム・アクセス・メモリ・アレイ（以下、単にメモリ・アレイと称する）と、

少なくとも一つの該メモリ・アレイに対応付けられて設けられ、当該メモリ・アレイから予め読み出されたデータの少なくとも一部を格納し、及び、スタティック・ランダム・アクセス・メモリ・キャッシュに対応する前記メモリ・アレイのメモリ位置への読み出しアクセスにตอบสนองして前記予め読み出されたデータを前記データ・バス上に送る、少なくとも一つの当該スタティック・ランダム・アクセス・メモリ・キャッシュと、

前記メモリ装置に関連して該メモリ装置外に設けられたコントローラに、少なくとも一つの前記メモリ・アレイがデータ・アクセスに現在使用できない状態にあることを知らせる待機信号を出力する待機信号出力端子（ピンともいう。）とを具えることを特徴とする集積回路メモリ装置。

【請求項2】 アドレス・バスとデータ・バスとを有する集積回路メモリ装置において、

アドレス・バス上に送られたアドレスにより選択されたダイナミック・ランダム・アクセス・メモリ・アレイのメモリ位置に、データ・バス上に送られたデータを書き込むために、前記選択されたメモリ位置にアクセスできる少なくとも一つの当該ダイナミック・ランダム・アクセス・メモリ・アレイ（以下、単にメモリ・アレイと称する）と、

少なくとも一つの該メモリ・アレイに対応付けられて設けられ、当該メモリ・アレイから予め読み出されたデータの少なくとも一部を格納し、及び、スタティック・ランダム・アクセス・メモリ・キャッシュに対応する前記メモリ・アレイのメモリ位置への読み出しアクセスにตอบสนองして前記予め読み出されたデータを前記データ・バス上に送る、少なくとも一つの当該スタティック・ランダム・アクセス・メモリ・キャッシュと、

少なくとも一つの前記メモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させ、及び、リフレッシュ禁止信号にตอบสนองして、所定の時間期間、当該リフレッシュ動作を選択的に予防するコマンド・デコード兼タイミング・ジェネレータ回路とを具えることを特徴とする集積回路メモリ装置。

【請求項3】 請求項2記載の集積回路メモリ装置において、少なくとも一つの前記メモリ・アレイの少なくとも一回のリフレッシュ動作を前記所定の時間期間に続けて

開始させるためのリフレッシュ・カウンタを具えることを特徴とする集積回路メモリ装置。

【請求項4】 アドレス・バスとデータ・バスとを有する集積回路メモリ装置において、

アドレス・バス上に送られたアドレスにより選択されたダイナミック・ランダム・アクセス・メモリ・アレイのメモリ位置に、データ・バス上に送られたデータを書き込むために、前記選択されたメモリ位置にアクセスできる少なくとも一つの当該ダイナミック・ランダム・アクセス・メモリ・アレイ（以下、単にメモリ・アレイと称する）と、

少なくとも一つの該メモリ・アレイに対応付けられて設けられ、当該メモリ・アレイから予め読み出されたデータの少なくとも一部を格納し、及び、スタティック・ランダム・アクセス・メモリ・キャッシュに対応する前記メモリ・アレイのメモリ位置への読み出しアクセスにตอบสนองして前記予め読み出されたデータを前記データ・バス上に送る、少なくとも一つの当該スタティック・ランダム・アクセス・メモリ・キャッシュと、

少なくとも一つの前記メモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させ、及び、別の集積回路メモリ装置との間でリフレッシュ動作の同期をとるために該別の集積回路メモリ装置にリフレッシュ禁止信号を与えるように動作をするコマンド・デコード兼タイミング・ジェネレータ回路とを具えることを特徴とする集積回路メモリ装置。

【請求項5】 アドレス・バスとデータ・バスとを有する集積回路メモリ装置において、

アドレス・バス上に送られたアドレスにより選択されたダイナミック・ランダム・アクセス・メモリ・アレイのメモリ位置に、データ・バス上に送られたデータを書き込むために、前記選択されたメモリ位置にアクセスできる少なくとも一つの当該ダイナミック・ランダム・アクセス・メモリ・アレイ（以下、単にメモリ・アレイと称する）と、

少なくとも一つの該メモリ・アレイに対応付けられて設けられ、当該メモリ・アレイから予め読み出されたデータの少なくとも一部を格納し、及び、スタティック・ランダム・アクセス・メモリ・キャッシュに対応する前記メモリ・アレイのメモリ位置への読み出しアクセスにตอบสนองして前記予め読み出されたデータを前記データ・バス上に送る、少なくとも一つの当該スタティック・ランダム・アクセス・メモリ・キャッシュと、

少なくとも一つの前記メモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させ、及び、リフレッシュ・フラグ信号を受信して、該リフレッシュ・フラグ信号を別の集積回路メモリ装置に送信することによりリフレッシュ動作の開始を合図するように動作するコマンド・デコード兼タイミング・ジェネレータ回路とを具えることを特徴とする集積回路メモリ装置。

【請求項6】 アドレス・バスとデータ・バスとを有する集積回路メモリ装置において、

アドレス・バス上に送られたアドレスにより選択されたダイナミック・ランダム・アクセス・メモリ・アレイのメモリ位置に、データ・バス上に送られたデータを書き込むために、前記選択されたメモリ位置にアクセスできる少なくとも一つの当該ダイナミック・ランダム・アクセス・メモリ・アレイ（以下、単にメモリ・アレイと称する）と、

少なくとも一つの該メモリ・アレイに対応付けられて設けられ、当該メモリ・アレイから予め読み出されたデータの少なくとも一部を格納し、及び、スタティック・ランダム・アクセス・メモリ・キャッシュに対応する前記メモリ・アレイのメモリ位置への読み出しアクセスにตอบสนองして前記予め読み出されたデータを前記データ・バス上に送る、少なくとも一つの当該スタティック・ランダム・アクセス・メモリ・キャッシュと、

少なくとも一つの前記メモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させ、及び、当該リフレッシュ動作を前記メモリ装置と関連して当該メモリ装置外に設けられたコントローラによって開始させるモード信号を受信するように動作もするコマンド・デコード兼タイミング・ジェネレータ回路とを具えることを特徴とする集積回路メモリ装置。

【請求項7】 アドレス・バスとデータ・バスとを有する集積回路メモリ装置において、アドレス・バス上に送られたアドレスにより選択されたダイナミック・ランダム・アクセス・メモリ・アレイのメモリ位置に、データ・バス上に送られたデータを書き込むために、前記選択されたメモリ位置にアクセスできる少なくとも一つの当該ダイナミック・ランダム・アクセス・メモリ・アレイ（以下、単にメモリ・アレイと称する）と、

少なくとも一つの該メモリ・アレイに対応付けられて設けられ、当該メモリ・アレイから予め読み出されたデータの少なくとも一部を格納し、及び、スタティック・ランダム・アクセス・メモリ・キャッシュに対応する前記メモリ・アレイのメモリ位置への読み出しアクセスにตอบสนองして前記予め読み出されたデータを前記データ・バス上に送る、少なくとも一つの当該スタティック・ランダム・アクセス・メモリ・キャッシュと、

少なくとも一つの前記メモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させ、及び、外部より供給されたチップ・イネーブル信号に応動して少なくとも一つの前記メモリ・アレイの少なくとも一部のメモリ位置に開いているいずれかのページに対しプリチャージ動作を開始するための、コマンド・デコード兼タイミング・ジェネレータ回路とを具えることを特徴とする集積回路メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般的には、集積回路メモリ装置に関する。より詳しくは、この発明は最高のDRAM性能を提供する特定用途のエンハンスド・バス・ターンアラウンド（enhanced bus turnaround: EBTTMは、Enhanced Memory Systems, Inc., Colorado Springs, COの商標である。）集積回路ダイナミック・ランダム・アクセス・メモリ（"DRAM"）装置に関し、また同時にゼロ・バス・ターンアラウンド（"ZBT"）、またはパイプライン（pipeline）・バースト（burst）・スタティック・ランダム・アクセス・メモリ（"SRAM"）装置を使用するため設計されたシステムに容易に統合することができるDRAM装置に関する。

【0002】

【従来の技術】ZBTは、典型的なネットワーク・アプリケーション及び電気通信アプリケーションに見られる頻繁かつ高度に無作為化された読み出し及び書き込み動作を必要とするスイッチング機能とルータ機能用に最適化された同期SRAMアーキテクチャである。動作中に、ZBT SRAMデバイスは、書き込みと読み出しとの動作をしばしば切替えるデータ・バスへのアクセス中に遭遇するかも知れないアイドル状態のクロックサイクル（idle clock cycles）を除去するのに役立つ。ZBT SRAMはデッド・サイクルを除去し、かつ、最大限のメモリ・バンド幅の使用を提供する。ZBT SRAMデバイスに関する全てのクリティカル・タイミング・パラメータは同期クロック信号（以下、単に同期クロックという。）の立ち上がり端縁（ライジング・エッジ：rising edge）（前線又は立ち上がり区間ともいう。）に関係している。

【0003】

【発明が解決しようとする課題】一般的に、SRAMデバイスは、DRAMと比較すると、確実に、データ・アクセス速度の点で優れている。DRAMは周期的なリフレッシュ動作とビット線プリチャージ動作を必要とする。しかしながら、各SRAMのメモリ・セルは、セル当たり4個または6個のトランジスタで構成され、又、DRAMメモリ・セルは一個のトランジスタと、このトランジスタに関連したキャパシタ（即ち、1T/1C）のみを利用して構成される。従って、典型的なSRAMデバイスは、対応するDRAMのおよそ4倍以上のダイ面積と2倍の電力を消費する。結局、DRAMと同じ集積度のSRAMは5～10倍以上の製造コストがかかる。このように、SRAM性能を良くすれば、製造コストが高くなる問題がある。

【0004】

【課題を解決するための手段】この発明は、ピンアウト（pin-out）、タイミング、及び機能の設定（set：セット）を同様に有する従来のZBT SRAMデバイスの多くの利点を同じく提供すると共に、デバイスの集積度、消費電力、及びコストの改善を図ったエンハンスド・バス・ターンアラウンドDRAMデバイスを提供する。「待機」（ウ

ェイト: wait) ビンを備えているので、この発明のエンハンスド・バス・ターンアラウンド・デバイスは、付加的な待ち状態を付加する必要があるとき、システム・メモリ・コントローラに合図を与えることができる。さらに、この発明のデバイスは、4倍以上のバースト長での全ての読み出し動作及び書き込み動作に関しては、ZBT SRAMのデータ・アクセス時間の性能と実質的に同一の性能を有している。

【0005】従って、この発明のアドレス・バスとデータ・バスとを有する集積回路装置の第1の好適な構成例によれば、少なくとも1つのダイナミック・ランダム・アクセス・メモリ・アレイ（以下、単にメモリ・アレイと称する場合がある）と、少なくとも1つのスタティック・ランダム・アクセス・メモリ・キャッシュ（以下、単にキャッシュと称する場合がある）と、待機信号出力端子（又はピンともいう）とを具えている。

【0006】このメモリ・アレイは、アドレス・バス上に送られたアドレスにより選択されたこのメモリ・アレイの位置にデータ・バス上に送られたデータを書き込むために、この選択されたメモリ位置にアクセスできる。

【0007】また、このキャッシュは、少なくとも1つのメモリ・アレイに対応付けられて設けられていて、このメモリ・アレイから予め読み出されたデータの少なくとも一部分を格納している。そして、このキャッシュは、当該キャッシュに対応するメモリ・アレイのメモリ位置に対する読み出しアクセスにตอบสนองして、上述の予め読み出されているデータをデータ・バス上に送出することが出来る。

【0008】さらに、待機信号出力端子は、この出力端子から、上述のメモリ装置に関連してこのメモリ装置外に設けられているコントローラに対して、少なくとも一つの前記メモリ・アレイがデータ・アクセスに現在使用できない状態にあることを知らせる待機信号を出力することが出来る。

【0009】この発明の第2の好適な構成例によれば、第1の好適な構成例の場合と同様な、メモリ・アレイとキャッシュとをそれぞれ少なくとも1つ具える他に、コマンド・デコード兼タイミング・ジェネレータ回路を含んでいる。

【0010】このコマンド・デコード兼タイミング・ジェネレータ回路は、少なくとも1つの上述のメモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させることが出来る。また、このコマンド・デコード兼タイミング・ジェネレータ回路は、リフレッシュ禁止信号にตอบสนองして、所定の時間間隔の間、上述のリフレッシュ動作を選択的に予防することが出来る。

【0011】この第2の好適な構成例の実施に当たり、好ましくは、少なくとも1つの前述のメモリ・アレイの少なくとも1回のリフレッシュ・カウンタを設けるのが良い。

【0012】また、この発明の第3の好適な構成例によれば、第1の好適な構成例の場合と同様な、メモリ・アレイとキャッシュとをそれぞれ少なくとも1つ具える他に、コマンド・デコード兼タイミング・ジェネレータ回路を含んでいる。

【0013】このコマンド・デコード兼タイミング・ジェネレータ回路は、少なくとも1つの上述のメモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させることが出来る。また、このコマンド・デコード兼タイミング・ジェネレータ回路は、別の集積回路メモリ装置との間でリフレッシュ動作の同期をとるためにこの別の集積回路メモリ装置にリフレッシュ禁止信号を与えるように動作をすることが出来る。

【0014】また、この発明の第4の好適な構成例によれば、第1の好適な構成例の場合と同様な、メモリ・アレイとキャッシュとをそれぞれ少なくとも1つ具える他に、コマンド・デコード兼タイミング・ジェネレータ回路を含んでいる。

【0015】このコマンド・デコード兼タイミング・ジェネレータ回路は、少なくとも1つの上述のメモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させることが出来る。また、このコマンド・デコード兼タイミング・ジェネレータ回路は、リフレッシュ・フラグ信号を別の集積回路メモリ装置に送信することによりリフレッシュ動作の開始を合図するよう動作することが出来る。

【0016】また、この発明の第5の好適な構成例によれば、第1の好適な構成例の場合と同様な、メモリ・アレイとキャッシュとをそれぞれ少なくとも1つ具える他に、コマンド・デコード兼タイミング・ジェネレータ回路を含んでいる。

【0017】このコマンド・デコード兼タイミング・ジェネレータ回路は、少なくとも1つの上述のメモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させることが出来る。また、このコマンド・デコード兼タイミング・ジェネレータ回路は、このリフレッシュ動作を上述のメモリ装置と関連してこのメモリ装置外に設けられたコントローラによってモード信号を受信するように動作することが出来る。

【0018】また、この発明の第6の好適な構成例によれば、第1の好適な構成例の場合と同様な、メモリ・アレイとキャッシュとをそれぞれ少なくとも1つ具える他に、コマンド・デコード兼タイミング・ジェネレータ回路を含んでいる。

【0019】このコマンド・デコード兼タイミング・ジェネレータ回路は、少なくとも1つの上述のメモリ・アレイにリフレッシュ動作を少なくとも自動的に開始させることが出来る。また、このコマンド・デコード兼タイミング・ジェネレータ回路は、外部より供給されたチップ・イネーブル信号に反応して少なくとも1つの上述の

メモリ・アレイの少なくとも一部のメモリ位置に開いているいずれかのページに対しプリチャージ動作を開始することが出来る。

【0020】

【発明の実施の形態】 先ず、図を参照して、この発明によるエンハンスド・バス・ターン・アラウンド集積回路メモリ・デバイスにつき説明する。

【0021】 尚、図中、信号を表す記号のハットにバー（ $\bar{}$ ）が付されていない信号は、論理レベルが高い信号であって従って、“アクティブ・ハイ”の信号であり、記号のハットにバー（ $\bar{}$ ）が付されている信号は論理レベルの低い信号であって従って、“アクティブ・ロー”の信号である。尚、この明細書中ではハットに付けるバー（ $\bar{}$ ）の代わりに“アクティブ・ロー”で表現してある。

【0022】 図1はメモリ・デバイス10の構成例を示す簡略化された機能ブロック回路図である。メモリ・デバイス10は、適切な部分にDRAMメモリ・アレイ12を有する。このメモリ・アレイ12はダイナミック・ランダム・アクセス・メモリの1つ又は2つ以上のバンクを含む。この発明の好適実施例では、行（row）キャッシュ14はSRAMメモリを有していて、SRAMキャッシュとも称する。この行キャッシュ14はメモリ・アレイ12の各バンクと関連付けられ、しかも、ブロック回路間で共有され、すなわち、各ブロック回路に直接マップ（map）することが可能である。

【0023】 メモリ・デバイス10には同期（シンクロナス：synchronous）アドレス・バス16とコントロール・バス18が接続されていて、メモリ・デバイス10には同期アドレス・バス16によって例えば入力信号SA0、SA1及びSAが供給され、コントロール・バス18によって複数の制御入力が供給される。メモリ・デバイス10に対するデータの読み出し及び書き込みは、双方向DQバス（データ・バス）20によって行われる。図示の実施例では、この双方向DQバス20は36本の個別のライン（35：0）を有している。

【0024】 アドレス・バス16の信号は、複数のアドレス・バッファ26に供給され、次いで、メモリ・アレイ12とキャッシュ14内の特定の記憶位置（メモリ位置ともいう。）へアクセスを行うために、個々の行及び列（コラム：column）デコーダ28、30に供給される。この点については、以下詳細に説明する。一連のセンス・アンプ（センス増幅器）32はメモリ・アレイ12と関連付けられていて、キャッシュ14とメモリ・アレイ12との間に配置されている。メモリ・アレイ12からの読み出しデータ、及びメモリ・アレイ12への書き込みデータは複数の双方向データ・ラッチ36とデータ入力／出力（I/O）バッファ38とに格納される。この発明の好適実施例では、行と列のアドレス指定（address）は同時に行うが、しかし、これらアドレス指定

は、列アドレスの指定に先立って行アドレスの指定を行うような多重化処理で実施することもまた可能である。

【0025】 また、図示されるように、メモリ・デバイス10は、コマンド・デコーダとタイミング・ジェネレータとを有するブロック回路、すなわち、コマンド・デコーダ兼タイミング・ジェネレータ回路34を含む。この回路34は、行デコーダ28からのヒット／ミス（Hit/Miss）信号の端子を有する他、コントロール・バス18にも結合されている。

【0026】 この回路34への入力信号には、同期クロック信号（“CLK”）40、アクティブ・ロー・クロック・イネーブル信号（“CKE”）42、アクティブ・ロー・チップ・イネーブル信号（“CE \bar{x} ”）44、アドレス・アドバンス／アクティブ・ロー・ロード信号（“ADV/LD”）46、読み出し／アクティブ・ロー書き込み信号（“R/W”）48、アクティブ・ロー・バイト書き込みイネーブル信号（“BW \bar{x} ”）50、アクティブ・ロー出力イネーブル信号（“G”）52、「スヌーズ（snooze）」・イネーブル信号（“ZZ”）54、及びリフレッシュ・禁止信号（“RINH”）56を含む。これらの信号については、後述する。また、書き込み信号は“ライト信号”とも称すると共に、読み出し信号は“リード信号”とも称する。

【0027】 別の実施例では、メモリ・デバイス10はV_{DD}、V_{SS}、V_{DDQ}、及びV_{SSQ}を含む付加的な電圧供給入力ピン（尚、ピンは端子ともいう。以下同様）（図示せず）だけでなく、フロー・スルー（flow through）（“FT”、図2）入力信号用のピンを含む。

【0028】 コマンド・デコーダ兼タイミング・ジェネレータ回路34は、双方向リフレッシュ・フラグ信号（“RFLAG”）22の他に、アクティブ・ロー待機出力信号（“WAIT”）24を出力する。これら信号の機能については、後述する。

【0029】 メモリ・デバイス10のアーキテクチャは、メモリ待ち時間（又は、メモリ応答時間或いはメモリ潜在時間：latency）を改善するための、高速なDRAMアレイ12とSRAMキャッシュ14とを結合するEnhanced Memory Systems, Inc. 所有の技術に基づく。このメモリ・デバイス10を、代表的な実施例では、4個のバンクを持つメモリ・アレイ12とバンク当たり4.5Kbの行キャッシュ14とで内部構成することができる。

【0030】 同様の利点はより高集積度、及びより低集積度の構成でも達成可能である。このメモリ・デバイス10は、ほとんどのランダム・アクセス・バースト・サイクルについては、本質的にZBT SRAM同様の性能を示すが、しばしば、あるバースト（burst）中の初期データ・ワードに対する応答にはより多くの時間を要している。この理由により、待機信号24用のピンを標準化されたZBT SRAMインターフェースに付加することにより、関連したメモリ・デバイス10のコントローラによって、初期アクセスを提供するときの時間差を上手に処理

させることができる。

【0031】この発明の好適実施例ではメモリ・デバイス10は、非同期の信号である出力イネーブル信号G22とスリープ信号ZL54を入力を除いて、クロック信号の立ち上がり端縁(rising edge)で他の全ての入力及び出力端子における信号の動作すなわち振る舞いが決まる同期デバイスである。全ての入力信号は入力クロックの立ち上がり端縁にセットアップ(setup)され及びホールドされる必要がある。各メモリ・アクセスはADV/LD信号46用のピンでの低い論理レベルと、アドレスバス16における有効なメモリ・アドレス(VMA信号と称する)又はその一部で開始する。メモリ・デバイス10はアドレスが、現在キャッシュされているアドレスのうち、どのアドレスと一致するかを決定する。一致するアドレスがあるならば、メモリ・デバイス10は何ら待機状態を付加することなく、読み出しデータ(リード・データ)を提供する(デリバリー:deliver)か、書き込みデータ(ライト・データ)を受け取る。新たなアドレス又はその一部がキャッシュされていない場合には、メモリ・デバイスはZBT SRAMの速度で読み出し又は書き込み

サイクルを提供することができず、一つまたは二つの待ち状態を付加する必要がある。これらの場合、関連して設けられているメモリ・コントローラは、メモリ・デバイス10の待機信号24用のピンをモニタする必要がある。メモリ・デバイス10とZBT SRAMの双方の型を与えられたデザインでサポートすれば、コントローラの設計の変更(インターフェースに一本のワイヤの付加のような)は最小限にとどまり、その変更は、比較的単純で容易であることに留意すべきである。

【0032】図2は、512K×36の構成と1M×18の構成でのこの発明に関連したメモリ・デバイス10のいろいろな実施例での代表的ピン・アウト(pin-outs)の例を示す。これらピン・アウトの詳細を表1～表4に記してある。尚、図2及び表1～表4中の記号“#”は、システム中に複数のメモリ・デバイス10が含まれているとき、これらのメモリ・デバイスを指定するための識別用の番号を示している。

【0033】

【表1】

記号	タイプ	機能
CLK	入力	クロック: この信号はその立ち上がり端縁でアドレス、データ、チップ・イネーブル、バイト・ライト・イネーブル及びバースト・コントロールの各入力をレジスト(register)する。全ての同期入力はクロックの立ち上がり端縁あたり(アラウンド: around)のセットアップ時間と保持時間を有して(ミート: meet) いなければならない。すなわち、即時に動作することは無いので、デバイスのセットアップ及びホールドの要請の使用を満たしている必要がある。すなわち、即時に動作することは無いので、デバイスのセットアップ及びホールドの要請の仕様が満たされている必要がある。
CKE#	入力	クロック・イネーブル: CKE#は、論理レベルが低く(ロー)、すなわちアクティブ・ローであり、内部クロックを開始する。 CKE#が論理レベルが高い(ハイ) すなわちアクティブ・ハイの時、デバイスはクロック入力(CLK)を無視して、何れのペンディング中のサイクルを機能停止させる。CKE#は FT#ピン設定は関係なくゼロ待ち時間を常に有する。
CE1#	入力	チップ・イネーブル: このアクティブ・ロー入力はデバイスをイネーブルするために使用され、新しい外部アドレスがロードされた時(ADV/LD#ロー)だけ、サンプルされる。
CE2	入力	チップ・イネーブル: このアクティブ・ハイ入力はデバイスをイネーブルするために使用され、新しい外部アドレスがロードされた時(ADV/LD#ロー)だけ、サンプルされる。
SA0, SA1, SA	入力	同期アドレス: これらの入力は ADV/LD#がアクティブ・ローの時、CLKの立ち上がり端縁でレジストされ、かつ、この端縁でのセットアップ時間と及び保持時間を有していなければならない。A0とA1はアドレス・フィールドの二つの最小桁のビットであり、バースト・サイクル用の内部バースト・カウンタをセットする。

【0034】

【表2】

記号	タイプ	機能
ADV/LD#	入力	アドレス・アドバンス/ロード: アクティブ・ハイの時、このピンは内部バースト・カウンタをアドバンスするために使用され、R/W#と外部アドレスの両方とも無視される。このピンがアクティブ・ローの時、新しいアドレスがクロック (CLK) の立ち上がり端縁でロードされる。
R/W#	入力	読み込み/書き出し: ADV/LD#がアクティブ・ローの時、このピンは新しいサイクルが、読み出しか書き込みかの何れかを決定する。読み出しから書き込みへ、または書き込みから読み出しへ移るためには、新しいアドレスがロードされなければならない。R/W#と ADV/LD#の両方がアクティブ・ローの場合書き込みサイクルが始まる。バイト書き込み動作は BW _x #ピンによって制御される。R/W#がアクティブ・ハイで ADV/LD#がアクティブ・ローの時、読み出しサイクルが始まり BW _x #ピンは無視される。
BW1#, BW2#, BW3#, BW4#	入力	バイト書き込みイネーブル: これらのアクティブ・ロー入力は書き込みサイクルがアクティブの時各バイト書き込みを可能とし、及びクロックの立ち上がり端縁あたりのセットアップ時間と保持時間を有してなければならない。バイト書き込みイネーブルはアドレス・ロードと同じサイクル及びこれに続くバースト書き込み用サイクルでは有効でなければならない。BW _x #は、FT#がアクティブ・ローの時、一サイクルの待ち時間を有し、FT#がアクティブ・ハイの時、二サイクルの待ち時間を有する。BW1#は DQ0-8 ピンを制御し、BW2#は DQ9-17 ピンを制御し、BW3#は DQ8-26 ピンを制御し、BW4#は DQ27-35 ピンを制御する。
DQ0- DQ35	入力/ 出力	データ I/O: データ・バス入力と出力。書き込みサイクルに関しては、入力データはこれらピンに適用され、クロックの立ち上がり端縁に対し、セットアップされかつ保持されなければならない。読み出しサイクルに関しては、CAS (列アドレス・ストロブ: Column Address Strobe) 待ち時間が満たされた後、デバイスは出力データをこれらのピンに運ぶ。

記号	タイプ	機能
G#	入力	出力イネーブル：このアクティブ・ロー非同期入力は I/O 出力ドライバをイネーブルにする。
WAIT#	出力	待機：WAIT#ピンは EBT RAM タイミングを同期させるために、メモリ・コントローラに待機状態を付加する。
RINH	入力	リフレッシュ禁止：このアクティブ・ハイ入力はショートタイム期間の内部リフレッシュ・サイクルを禁止する。この特徴はリフレッシュによる中断無しにクリティカルな読み出し／書き込みサイクルを可能とする。
RFLAG	入力／出力	リフレッシュ・フラグ：モードがアクティブ・ローの時、このピンは出力であり他のデバイスに何時リフレッシュするか合図すなわち知らせる（シグナルする：signal）ために使用される。
MODE	入力	モード：内部リフレッシュ・動作モードを決定する。モードがアクティブ・ローの時、デバイスは内部リフレッシュ・サイクルが自動的に起こる自動リフレッシュ・モードで動作する。モードがアクティブ・ハイの時、デバイスは内部リフレッシュサイクルが外部コントローラによって開始されなければならない手動リフレッシュ・モードで動作する。
FT#	入力	フロー・スルー：FT#がアクティブ・ハイの時、デバイスはパイプライン・モードで動作する。WAIT#が適用されていない限り、パイプライン・モードでは、読み出しと書き込みの待ち時間は2サイクルである。FT#がアクティブ・ローの時、デバイスはフロー・スルー・モードで動作する。WAIT#が適用されていない限り、フロー・スルー・モードでは読み出しと書き込みの待ち時間は、1サイクルである。
ZZ	入力	スヌーズ・イネーブル：デバイスを低消費電力スリープ・モードにするための、アクティブ・ハイ入力。
V _{DD} , V _{SS}	電源	入力バッファとコア・ロジック用の電源（+3.3V）、及び接地。
V _{DDQ} , V _{SSQ}	電源	出力バッファ用の独立した電源供給、及び接地。VDDQ は 3.3V または 2.5V のどちらかに接続される。

【0036】尚、図2中、NCは、接続されない状態を示す。

【0037】メモリ・デバイス10は、基本的にはDRAMをベースとしたメモリ・デバイスである。このメモリデバイスは、DRAMのコストと消費電力の利点を有する一方、従来の ZBT SRAMデバイスを使うよう設計されたシステムに容易に統合することが可能である。メモリ・デバイス10は複数の異なるメモリ構成（例えば1M×18、512K×36等を含む）で提供し得る。そして、このメモリ・デバイス10を100ピンQFP型パッケージ、ZBT「スーパーセット」ピンアウト形態、或いは、埋め込み形態の構成でパッケージし得る。ここに開示されている特定の実施例では、メモリ・デバイス10は66MHzのフロー・スルー・動作モードと133MHzのパイプライン・動作モードとデータ保持を保証する低消費電力スリープ・モードを提供することができる。このメモリ・デバイスは、使用者が選択可能な複数のデバイスの同期を伴うマスター／スレーブ・リフレッシュとクリティカルな期

間のリフレッシュ禁止機能を可能とする自動／手動リフレッシュ・モードを提供できる。内部で発生された待機信号24の出力フラグは簡単なメモリ・コントロールを可能とする。

【0038】ここに開示されている特定の実施例では、メモリ・デバイス10は、それぞれが4.5Kb SRAMキャッシュ14と関連した4個のメモリ・バンクを含むメモリ・アレイ12を有していて、これにより読み出し「ミス（Miss）」サイクルの早いプリチャージと、読み出し「ヒット（Hit）」サイクルでの即時のアクセスと、DRAMメモリ・アレイ12の隠れた（ヒドゥン：hidden）リフレッシュとカレント・バースト（current bursts）の背後に、読み出し又は書き込みのミス・アクセス待ち時間を隠す、等の各処理が可能となる。同期する行アドレス・ストローブ対列アドレス・ストローブ（“RAS-to-CAS”）遅延、及び同期プリチャージ遅延は、双方ともパイプライン・モードでは2クロック分の時間であり、フロー・スルー・モードでは1クロック分の時間である。パ

イブライン・モードでは6クロック分の遅延時間であるが、フロー・スルー・モードでは4クロック分の遅延時間である同期自動リフレッシュ・サイクル、及びパイプライン・モードでは5クロック分の遅延時間であるが、フロー・スルー・モードでは3クロック分の遅延時間である同期手動リフレッシュ・サイクルが達成される。速い内部タグの比較は読み出し「ヒット」サイクルでの「無待機」(ノウ・ウェイト: No Wait) (または、ゼロ・バス・ターン"ZBT") アクセスを可能とする。

【0039】この実施例では、「書き込み転送モード(ライト・トランスファー・モード: Write transfer Mode)」の動作のロード戦略(ロード・ストラテジー: loadstrategy)が行われると共に、全てのDRAMサイクルでの自動的なプリチャージが行われる。メモリ・デバイス10は、低性能コントローラの問題解決を簡単にするために、「常にミス(Always Miss)」オプションや、デバイス製造時に、所要のモードを形成出来るように選択できるようなフューズ(fuse)・オプションによって、選択可能な複数のバースト・シーケンスでの処理を実行できるようにしてもよい。

【0040】待機信号24用のピンはRAS-to-CAS遅延要求、アクセス衝突(Access Collision)制約(コンストレイント: constraints)、リフレッシュ衝突(Refresh Collision)制約のいずれかに基づいてアクセス遅延が要求されていることを、合図又は通知(シグナル: signal)するために使用される。必要とされるヒット/ミスまたは衝突かの決定が行われ、読み出し又は書き込みのサイクル(Read or Write Cycle)要求に続く時間期間 t_{acwait} (デバイス・アクセス待ち時間、すなわち"WAIT"のためのクロック・アクセス・タイム)の間に、待機信号24用のピンがアサート(asserted)される。すなわち、もし信号が「アクティブ・ロー」であるときは、このピンに論理レベル・ローが与えられ、また、もし信号が「アクティブ・ハイ」であるときは、このピンに論理レベル・ハイが与えられる。待機信号は、必要なときチップによって発生され、コントローラがストライクしなければならない、すなわち、キャンセル(cancel)させなければならない(must strike)出力状態である。全ての読み出し「ミス」(Read Miss)または書き込み「ミス」(Write Miss)サイクル期間中は、待機状態アサーション(assertion: アクティブ状態にされること)によって、パイプライン・モードには2サイクル、またフロー・スルー・モードには1サイクルの固定長のTred遅延(Tred: 行対列遅延時間)が強制される。衝突が起きる場合には、オープン(open)状態にある、すなわち、アクセス可能な状態にあるDRAMの行のプリチャージ又は実行中のサイクルの完了を可能にするためには、更なる遅延を要求してもよい。このような場合、アクセス要求によって要求されるTred遅延に加えて、カレント・サイクルの完了を可能とするのに必要な遅延を生じさせ

るために、待機信号24を生じさせなければならない。

【0041】モード信号ピン(図2)は、動作の自動(マスター)または手動(スレーブ)リフレッシュ・モードのどちらかの動作モードを選択するためにも使用することができる。RINH信号56用ピンは自動リフレッシュ・モードでのリフレッシュ・サイクル(Refresh Cycle)を禁止するため、または手動リフレッシュ・モードでのリフレッシュ・サイクルを開始するために使用することが可能である。RINH信号56はクロック・ハイ・トランジション(clock high transition)に同期する、リフレッシュ禁止期間の間、禁止されたリフレッシュ・サイクルは、例えばリフレッシュ・ペンディング・カウンタをインクリメント(increment)させることが可能である。このカウンタは、その後、一度禁止期間が経過したならば、適切な連続したバック・トゥ・バック(back-to-back)リフレッシュのシーケンスを開始させるために使用される。RFLAG信号22出力ピンは一般的に、自動リフレッシュ・モードにあるデバイスによってのみアサートされる、すなわち、アクティブ状態にされる。手動リフレッシュ・モードのデバイスは、そのRINH信号56用ピンを「マスター」(自動モード)デバイスのRFLAG信号22用ピンに結合させてあり、この出力ピンがアサートされることにより、マスター・デバイスに同期されたリフレッシュ・サイクルを開始する。この同期を得るために、リフレッシュ・サイクルを自動リフレッシュ・モードに関しては6クロック(または、フロー・スルー・モードでは4クロック)分の期間に、また、手動リフレッシュ・モード・デバイスに関しては5クロック(または、フロー・スルー・モードでは3クロック)分の期間に固定することができる。このことと、リフレッシュ・アドレス・レジスタ、及びリフレッシュ・ペンディング・カウンタの初期パワー・オン・リセットとが相俟って、RFLAG信号22によって、一群のデバイスにわたって、リフレッシュを同期化することができる。

【0042】リフレッシュ・サイクルを同期化することは、この実施例に必要な事項ではないが、この同期化は、内部リフレッシュのサポートに要する待機ピンのアサート時間を、最小にすることにより、一個以上のEBT部品を使用する実施例において、著しく有利となる。リフレッシュ動作の同期化が行われなければ、各チップは恐らくは、それぞれ、異なる時点に待機時間を必要とするであろう。従って、16個のチップからなるシステムではこの解決法(ソリューション: solution)で達成される待機時間の16倍に達する長いシステム待機時間になってしまうであろう。パワー・オン・リセット機能を導入して、パワー・アップ(power up)時にリフレッシュ・アドレス・レジスタとリフレッシュ・ペンディング・カウンタをリセットするようにしてもよい。理論的には、このパワー・オン・リセットは全てのヒューズ(fu

ses)をポーリング(poll)し、そして出力を初期には確実に高インピーダンス(Hi-Z)とし得る。

【0043】以下に、使用された用語の定義につき説明する。

【0044】アクセス衝突(Access Collision)：現在オープンとなっている(カレント・オープン：currently open)DRAMメモリ・アレイ12のバンク内の異なる行へのアクセスを要求するサイクル。アクセス衝突が起きた場合、時間期間Trp(行プリチャージの時間)、Trc(バンク・サイクルの時間)及びTrcd(行対列遅延時間)を確実に満たすのに必要な期間中、待機信号24が、アサートされる。メモリ・アレイ12の別のバンクへのアクセスは衝突にならず、よって待機信号24のアサーション無しでこのアクセスを続けることが可能である。

【0045】自動リフレッシュ・モード(Automatic Refresh Mode)：DRAMメモリ・アレイ12のリフレッシュ・サイクルを要求時にメモリ・デバイス10によって開始させ、かつ、リフレッシュ・サイクルを行うため付加的命令待ち時間を含ませることによって、命令の実行を必要時に停止させる(stalled)という、リフレッシュ手法(メソッドロジー：methodology)を選択するモード。メモリ・デバイス10がこのモードで動作するとき(モード・ピンの状態により選択される)、RINH信号56用ピン(このピンは、ハイ・レベルにアサートされたときリフレッシュの実行を禁止する)を使用することによりクリティカルなタイミング期間中は、リフレッシュを防止出来る。メモリ・アレイ12は、一旦禁止が解消されたらデータ保全(データ・インテグリティ：data integrity)を確実にするために、必要な回数のリフレッシュを実行する。RFLAG信号22用ピンは、出力ピンとなる。このピンの駆動は、マスターのRFLAG信号22の出力によって、手動モードデバイスのRINH信号56用ピンが駆動されて、これらの手動モード・デバイスが自動モード・デバイスに同期されるように、行われる。パワー・アップ(power-up)時には、初期リフレッシュ・アドレスが全てのメモリ・デバイス10にセットされて、このマスター/スレーブ手段の使用により、並列でアクセスされる全てのメモリ・デバイス10の同期動作を確実なものとする。

【0046】バースト・シーケンス(Burst Sequence)：読み出し又は書き込みサイクルで使用される予め決められた列アドレスのシーケンス(この点については、後述する)。メモリ・デバイス10の場合には例えば、ヒューズ・オプションにより、バースト・サイクルを以下の何れかのバースト、すなわち、4サイクル・シーケンシャル・バースト、4サイクル・インタリーブド(interleaved)・バースト(IntelRシーケンス)、8サイクル・シーケンシャル・バースト、8サイクル・インタリーブド・バースト、128サイクル・シーケンシ

ャル・バースト、又は128サイクル・インタリーブド・バースト、を含む様に選ばれる。

【0047】キャッシュまたは行キャッシュ(Cache or Row Cache)：DRAMメモリ・アレイ12がプリチャージまたはリフレッシュされている間、DRAMデータを標準様式で出力に利用できるように、DRAMメモリ・アレイ12のビット線(ライン：line)からロード出来る読み出し可能なSRAMキャッシュ14、またはレジスタ。

【0048】デセレクトまたは停止(ストップ)命令(Deselect or Stop Command)：特定のメモリ・デバイス10が一つ以上のチップ・イネーブル("CE")信号44用ピンによってデセレクト、すなわち、ストップ("STOP")され、かつADV/LD信号46がクロックの立ち上がり端縁でロー・レベル(アクティブ・ロー)にある時、開始される同期命令。デセレクト命令は何れの実行中のバースト・サイクルを停止させると共に、何れのオープンDRAMページをプリチャージする。この後、メモリ・デバイス10は、読み出し又は書き込み命令が与えられるまで、デセレクト(スタンバイ)状態のままである。

【0049】フロー・スルー・モード(Flow Through Mode)：命令が名目上2クロックの待ち時間で実行されるパイプライン・モードに対して、命令とデータが名目上1クロックの待ち時間でアクセスされるメモリ・デバイス10の動作モード。メモリ・デバイス10の特定の実施例では、このモードの選択はフロー・スルー("FT")入力ピンによって制御し得る。

【0050】ライブ・クロック・エッジ(Live Clock Edge)：命令、アドレス、及びデータを受け取ることが出来る何れかのクロックの立ち上がり端縁。ライブ・クロックは、待機出力信号24用ピンによって、パイプライン・モードでは1クロックの待ち時間、フロー・スルー・モードではゼロの待ち時間でフラグ(flag)される。

【0051】ロード(Load)：SRAMキャッシュ14は何れかの「ミス」(読み出し「ミス」、書き込み「ミス」)サイクルでロードされる。オン・チップで提供される場合、タグ・レジスタとSRAMキャッシュ14は双方とも何れかのロード・サイクルで適切な情報がロードされる。

【0052】手動リフレッシュ・モード(Manual Refresh Mode)：クロック立ち上がり端縁でRINH信号56のアサーションにより全てのメモリ・アレイ12のリフレッシュを明確に要求できるリフレッシュ手法を選択するモード。メモリ・デバイス10がこのモードにある場合、(このモードは、MODEピンの状態により選択される)、クロックの立ち上がり端縁でRINH入力信号56をアサーションによって特に要求された場合にだけ、リフレッシュは実行される。このことは、「マスター」チップによって、又はコントローラによってリフレッシュの制御を可能にする。

【0053】パイプライン・モード (Pipeline Mode) : フロー・スルー・モードでは命令が名目上1クロックの待ち時間で実行されるのに対し、命令とデータが名目上2クロックの待ち時間でアクセスされるメモリ・デバイス10のモード。メモリ・デバイス10の特定の実施例では、このモードの選択を、既に説明したFT入力ピンの状態によって指示し得る。

【0054】プリチャージ (Precharge) : メモリ・アレイ12のDRAMの行を閉じて、新しいサイクル用にDRAMバンクを用意する過程 (プロセス: process)。一旦プリチャージが始まると、それは止める事はできず、同じバンクへの新しいサイクルの開始以前に完了されなければならない。一般に、プリチャージは、このプリチャージが別のインタリーブするサイクルによって遅延される場合以外は、書き込みサイクルでの最後のデータ・インに続く最初のクロック・サイクルで開始されると共に、読み出しサイクルでの待機信号24の終了に続く最初のクロックで開始される。

【0055】読み出し/書き込み 待ち時間 (Read/Write Latency) (Trcd) : メモリ・アレイ12のDRAMサイクルの開始時からの必要な付加的な遅延時間。例えば、この遅延時間は、読み出し「ミス」対読み出し「ヒット」サイクルに関する待ち時間を長くさせる。この遅延が要求されることは、待機信号24用出力ピンを必要に応じアサーションすることにより、合図すなわち信号化し得る。

【0056】読み出しサイクル (Read Cycle) : 特定のメモリ・デバイス10が選択され、ADV/LD信号46がアクティブ・ローであり、読み出し/書き込み ("R/W") 信号48がクロックの立ち上がり端縁でアクティブ・ハイにある時に開始され、この期間にデータはメモリ・デバイス10から読み出されると共に、出力バス20の出力ピンに与えられる同期サイクル。一旦読み出しサイクルが開始され、かつ適当な待ち時間が満たされると、読み出しサイクルがデセレクト命令により終結されるか、或いはインタリーブしている読み出しまたは書き込み命令によって中断されるまで、新しいデータは、順次のクロック立ち上がり端縁毎に取り込まれ (リトリブ: retrieve) て、出力へと運ばれ続けられる。読み出しサイクルが開始された時に開始 (イニシャル: initial) アドレスがメモリ・デバイス10に提供される。引き続き読み出しアドレスは、ヒューズ・オプションの状態によってセット可能な予め決められたシーケンスに従って、メモリ・デバイス10により内部生成される。好適実施例におけるアドレス・シーケンスは以下の何れかのバーストである。すなわち、4サイクル・シーケンシャル・バースト (アドレスA2は4サイクル後、繰り返したり、ループすることはない)、4サイクル・インタリーブド・バースト (IntelRシーケンス)、8サイクル・シーケンシャル・バースト、8サイクル・インタリーブド・バースト、128サイクル・シーケンシャル・バースト、又は128サイクル・インタリーブド・バースト。読み出し「ヒット」 (Read Hit) サイクルでは、DRAMメモリ・アレイ12にアクセスせず、SRAMキャッシュ14から直接データを取り込む。読み出し「ミス」 (Read Miss) サイクルではDRAMメモリ・アレイ12にアクセスし、SRAMキャッシュ14をロードし、そして、SRAMキャッシュ14からデータを取り込んでいる間、DRAMメモリ・アレイ12をプリチャージする。

【0057】読み出し「ヒット」 (Read Hit) : すでにSRAMキャッシュ14にロードされたアドレスに対して実行される読み出しサイクル。各バンクは、それ自身のキャッシュを有し、従って、それ自身の「ヒット」アドレスを有する。オンチップのタグ・レジスタ (図示しないが、各バンクに一つ有る) は、前述の通りキャッシュ14がロードされたときは何時でも、行アドレスでロードされる。そして、アドレス・フィールドの適当な部分がタグ・レジスタに格納されたものと一致するか、どうか決定するために、各読み込みサイクル毎にアドレス比較が実行される。一致が検出された場合には、要求されたデータは既にキャッシュ14にロード済であるとわかり、この場合には、DRAMメモリ・アレイ12を活性化させることなく、キャッシュ14から直接、読み出しサイクルを実行する。このことにより、より速い読み出しアクセスを可能とすると共に、不必要なDRAMサイクルの実行を回避することが出来る。

【0058】読み出しミス (Read Miss) : 上記のように定義された「ヒット」ではない何れかの読み出しサイクル。

【0059】リフレッシュ (Refresh) : 格納されたデータの強度 (ストレングス: strength) をリストア (restore) するための、内部的にセルフ・タイムされたDRAMメモリ・アレイ12のサイクル。この発明の特定の実施例では、何れか64msの期間内に、少なくとも4Kのリフレッシュ・サイクルが実行 (ラン: run) させる必要がある。ヒューズ、または他の選択可能なオプションを提供することにより、自動リフレッシュ・モードでのリフレッシュ・レートをより速くまたはより遅くできるようにしてもよい。リフレッシュ・サイクルは、メモリ・デバイス10が動作するモードに応じて、手動または自動で開始させることができる。通常動作の間は、リフレッシュを、キャッシュ14の読み出しアクセス、又はこれに替わるメモリ・アレイ12へのバンク・アクセスの背後に自動的に隠すことが出来るので、ほとんどのリフレッシュ・サイクルがメモリ・デバイス10の動作に与えるインパクトは最小である。クリティカルな期間中は、RINH信号56用のリフレッシュ禁止ピンを使用することによって、タイミングを保証できる。自動リフレッシュと手動リフレッシュ動作モードに関して既に説明したように、複数のメモリ・デバイス10の同期は、マ

スター/スレーブ・アプローチの手法を使用することによって、とることができる。

【0060】リフレッシュ・アドレス・レジスタ (Refresh Address Register) : 次にリフレッシュされるべき行のアドレスを含むようにできるレジスタ。このレジスタは、電源投入 (パワー・アップ: Power-Up) 時に初期化されると共に、リフレッシュが実行される度毎にインクリメントされ得る。

【0061】リフレッシュ・ペンディング・カウンタ (Refresh Pending Counter) : リフレッシュ禁止期間中のペンディング・リフレッシュ・サイクルの数をカウントするために使用されるカウンタ。このカウンタもまたパワー・アップ時に初期化され、リフレッシュが要求されるがそれがインヒビットされる度にインクリメントされ、かつリフレッシュが実行される度にデクリメントされる (ゼロの場合を除いて)。このカウンタ値は、特に自動リフレッシュ・モードで動作しているメモリ・デバイス10が、相対的に長いリフレッシュ禁止期間に続けて適当な「フラリー ("flurry")」リフレッシュを開始するために特に役立つ。

【0062】リフレッシュ衝突 (Refresh Collision) : リフレッシュの最中にあるバンクへのアクセスをDRAMメモリ・アレイ12に要求する何れかのサイクル。衝突の場合には、メモリ・アレイ12のリフレッシュ動作中に、待機信号24用ピンをアサートできる。リフレッシュ・サイクルの間、待機信号24のアサーション無しで、これに替わるバンクに対するアクセスを行うことができる。

【0063】クロックの立ち上がり端縁 (Rising Edge of the Clock) : クロック・イネーブル ("CKE") 信号用ピン42がアクティブ・ローにある時のクロック ("CLK") 信号用40ピンの何れかの立ち上がり端縁 (エッジ)。CKEハイ信号42によってマスクされたクロックの立ち上がり端縁は、メモリ・デバイス10により無視される。そして、デバイスの動き又は振る舞いは、全ての外部クロック・サイクルについて外部クロックCLK信号40がアクティブ・ローにとどまる場合に予想される動き又は振る舞いに一致すると予想できる。

【0064】スリープ・モード (Sleep Mode) : 全てのデバイス入力はパワー・ゲートされ (power-gated) (Z信号54を除く)、メモリ・アレイ12の全てのDRAMバンクはプリチャージとセルフ・リフレッシュされ、全てのバーストは終結され、そして全ての電力発生回路は電力消費が最小になるようなスタンバイ・モードに置かれているモード。スリープ・モードへのエントリ (entry) 又はスリープ・モードからイクジット (exit)、すなわち、スリープ・モードに対する出入りは、データの完全性と適切なメモリ・デバイス10の動作とを保證する制御様式で行わなければならない。

【0065】タグ・レジスタ (Tag Register) : 最も最

近ロードされて、すなわち直前にロードされてキャッシュされているDRAMデータのタグ・アドレスを格納する一式的アドレス・レジスタ (例えば、メモリ・アレイ12の各バンクに対し一つ有るレジスタ、図示せず)。これらの格納されたアドレス、またはタグは、読み出し又は書き込みのヒット/ミス状態を決定するためにカレント・アドレスと比較される。

【0066】書き込みサイクル (Write Cycle) : メモリ・デバイス10が選択され、ADV/LD信号46がロー・レベルにあり、クロックの立ち上がり端縁でR/W信号48がロー・レベルであるとき開始される同期サイクル。このサイクル期間中にデータはメモリ・デバイス10に書き込まれ、かつDQバス20の入力ピンから供給される。一旦書き込みサイクルが開始され、かつ適当な待ち時間が満たされると、書き込みサイクルがデセレクト命令によって終結されるか、或いはインタリーブする読み出しまたは書き込み信号によって中断されるまで、順次のクロックの立ち上がり端縁毎に、データは取り込まれてメモリ・アレイ12に運ばれ続けられる。書き込みサイクルが開始されると開始アドレスが、メモリ・デバイス10に提供される。引き続き書き込みアドレスは、利用できるオプションの状態によってセットされる予め決められたシーケンスに従って、メモリ・デバイス10により、内部生成される。代表的な実施例では、これらのアドレス・シーケンスは以下の何れかであるのバーストである。すなわち、4サイクル・シーケンシャル・バースト (A2は4サイクル後、繰り返したり、ループすることはない)、4サイクル・インタリーブド・バースト (IntelRシーケンス)、8サイクル・シーケンシャル・バースト、8サイクル・インタリーブド・バースト、128サイクル・シーケンシャル・バースト、又は128サイクル・インタリーブド・バースト。可能な場合は何時でも、書き込み「ヒット」サイクルは、メモリ・アレイ12のクローズと再オープンと関連したアクセス遅延を受けることなく、既に開いている (オープン) DRAMページにデータを直接書き込む。書き込み「ミス」サイクルはメモリ・アレイ12にアクセスし、キャッシュ14をロードし、適当なデータをメモリ・アレイ12に書き込み、プリチャージがインタリーブする書き込み「ヒット」サイクルにより遅延されない限りDRAMメモリ・アレイ12をプリチャージする。

【0067】書き込み ヒット (Write Hit) : 前回の書き込みサイクルから既に開いている (オープンすなわちアクセスできる) DRAM行に実行される書き込みサイクル。書き込み「ヒット」サイクルは、一般に書き込みサイクルがもう一つの書き込み要求によって中断される時のみ起こる。書き込み「ヒット」は、書き込みが要求され、かつ、書き込みアドレスが現在オープンとなっている書き込み行を指定するタグ「ヒット」アドレスであるときに、発生する。すなわち、次の場合起こる。すな

わち、前回の書き込みサイクルのアリチャージに先立ち、書き込みが要求され（アリチャージに関連して既に説明した様に）、及び「ヒット」コンパレータ（図示せず）が、この要求が、読み出し「ヒット」に関連して既に説明した様に、タグ「ヒット」アドレス、従って、現在オープンすなわち開かれた書き込み行に対するものであると検知した時に発生する。書き込み「ヒット」が起きたとき、開いた行のアリチャージが遅延され、かつ、行アリチャージに先立ち、書き込み「ヒット」サイクルが実行される。アドレス比較がタグ「ヒット」の結果となった場合でも、一旦行が閉じられていたら（または、アリチャージ・サイクルが始まってしまったら）書き込みは「ヒット」にならない点に留意する必要がある。

【0068】書き込み ミス (Write Miss) : 既に定義された「ヒット」ではない何れかの書き込みサイクル。

【0069】書き込み転送モード (Write Transfer Mode) : キャッシュ14とタグを書き込みサイクルで上書き（オーバーライト：overwrite）できるメモリ・デバイス10の取り得る動作モード。ここに開示された実施例では、メモリ・デバイス10は書き込み転送モードで動作する。

【0070】以下、図3ないし図8を参照して説明する。これらの図において、 A_0-A_3 はアドレス信号、 Q_0-Q_3 はデータ出力 (DATA OUT) 信号、 D_3, D_0-D_{17} はデータ入力 (DATA IN) 信号、“STOP”はストップすなわちデセレクトを示す。またCMDはコマンド (Command) を示す。また、 T_{cy} はタイミング期間を示す。

【0071】先ず、この発明の実施例につき、更に図3 (A) と図3 (B) を参照して説明する。図3 (A) は、この発明に関連したメモリ・デバイス10のバイプライン・動作モードのタイミング図であり、図3 (B) はフロー・スルー・動作モードでのタイミング図である。これらの図には、アクティブ・ローの「ロード」入力信号46 (“LD”)、 DQ バス20、及びアクティブ・ローの「待機」出力信号24、入力同期クロック信号 (“CLK”) 40に対する相対的なタイミングとアクティブ状態とを示してある。尚、図3 (A) 及び3 (B) 中、 DQ_{hit} は、リード/ライト・ヒット・サイクル期間中のデータ信号及び DQ_{miss} は、リード/ライト・ミス・サイクル期間中の

データ信号を示す。バー付きのWAIT (miss) は、リード/ライト・ミス・サイクル期間中のアクティブ・ロー・WAIT信号を示す。

【0072】次いで、更に図4は、この発明によるメモリ・デバイス10に関する代表的なタイミング図で、デバイス・リフレッシュ・タイミングを示している。そして、先のタイミング図に関して、留意すべきことは、命令は何れかの「ライブ」クロック (“Live” clock) でアサートできるが、これらの命令を、次の表4の明細事項 (スペック：Specification) のRAS対CAS遅延時間 (RAS to CAS delay time) に従うようにコントローラによって抑制 (throttled) する必要がある。尚、RASは、ロウ・アドレス・ストロブ (Row Address Strobe) であり、CAS (Column Address Strobe) である。「ライブ」クロックは待機出力信号24によって規定される。バイプライン・動作モードに関しては、待ち時間は1クロック分の期間である。フロー・スルー・動作モードに関しては、待ち時間はゼロである。メモリ・デバイス10は、「書き込み転送モード」で動作し、即ちキャッシュ14は、書き込み「ヒット」でロードされる。読み出し (リード：Reads) は、読み出し開始待機信号24のアサーションに続く最初のクロックの立ち上がり端縁でアリチャージされる。書き込み (ライト：Writes) は、最後のデータ・インに続く最初のクロックの立ち上がり端縁でアリチャージされる。手動モードに関しては、リフレッシュはCLK信号40の立ち上がり端縁でアクティブ・ローのRINH信号56によって、特別に要求された時のみ行われる。自動モードに関しては、リフレッシュは自己生成されるが、同期RINH信号56によって禁止することが出来る。「自動/手動」リフレッシュ・モードはモード・ピンの状態によって決定される。自動モードでは、RFLAG出力信号22用ピンは、この信号22が手動モードにある他のメモリ・デバイス10のRINH信号56用ピンに送られる様に駆動される。このようにすることにより、マルチ・チップ・アプリケーションでの全てのリフレッシュ動作を同時に起こすことが可能となる。

【0073】

【表4】

スペック	パイプライン・モード	フロー・スルー・モード	単位
RAS 対 CAS 遅延時間	2	1	ライブ・クロック
T _{rcd}	2	1	クロック
T _{rp}	2	1	クロック
T _{ck}	min 7.5	min 15	nsec
T _{ac data}	max 4.5	max 11	nsec
T _{ac wait}	max 4.5	max 11	nsec
T _{cs/as/ds}	min 2	min 2	nsec
T _{ah/ch/dh}	min 0.5	min 0.5	nsec
T _{rc refresh}	6/5#	4/2#	クロック
ヒット待ち時間	2	1	クロック
ミス待ち時間	4*	2*	クロック
I _{zz}	2	2	mA
I _{max}	250	250	mA

#マスター・モード/スリープ・モード *プリチャージ・アイドルから

【0074】尚、この表4において、T_{ck}は、クロック・サイクル時間、T_{ac data}は、“DATA”のためのクロック・アクセス時間、T_{ac wait}は、“WAIT”のためのクロック・アクセス時間、T_{cs}は、チップ・イネーブル・セット・アップ時間(Chip Enable Setup Time)、asは、アドレス・セットアップ時間(Address Setup Time)、dsはデータ・イン・セットアップ時間、T_{ah}は、アドレス・ホールド時間(Address Hold Time)、chは、チップ・イネーブル・ホールド時間(Chip Enable Hold Time)、dhは、データ・イン・ホールド時間(Data In Hold Time)、T_{rc refresh}は、リフレッシュ動作中のバンク・サイクル時間、I_{zz}は、スリープ消費電流(Sleep Current Consumption)、I_{max}は最大消費電流(Maximum Current Consumption)である。

【0075】次に、更に図5(A)と図5(B)を参照して説明する。図5(A)は、この発明によるメモリ・デバイス10のパイプライン・動作モードであって、同じDRAMメモリで、リフレッシュ中断が無く、全てのサイクルが実行される動作の代表的なタイミング図である。図5(B)は、図5(A)と同様に動作する従来ZBT SRAMのタイミング図である。これらのタイミング図は、各読み出し又は書き込み命令でページを閉じ、及び新しいキャッシュ・ロードを要求する更に悪いシナリオのタイミング図である。更に、これらタイミング図から待機ビンの機能がわかる。これらの図に関して、前の図を参照して説明された信号と同じ信号には、同じ参照番号が付してあり、最悪なケースのタイミングであることを示すために、メモリ・アレイ12の同じバンクに対して中断が無く全てのサイクルの実行を行うパイプライン・モードにおいて、動作周波数を133MHzと仮定している。

【0076】次に、図6(A)と図6(B)を参照して説明する。図6(A)はこの発明によるメモリ・デバイス10のフロー・スルー・動作モードでの、同じDRAMメモリ・バンクで、リフレッシュ中断が無く、全てのサイク

ルが実行される動作の代表的なタイミング図であり、図6(B)は、図6(A)と同様に動作する従来ZBT SRAMのタイミング図である。

【0077】これらの図に関して、前の図を参照して説明した信号と同じ信号には、同じ参照番号を付しており、最悪なケースのタイミングであることを示すために、メモリ・アレイ12の同じバンクに対してリフレッシュ中断が無く再び全てのサイクルの実行を行うフロー・スルー・モードにおいて、動作周波数を66MHzと仮定している。これは、再度フロー・スルー・モードでのこの実施例の最悪な場合の動作を例示している。

【0078】次に、図7(A)を参照して説明する。図7(A)は、この発明によるメモリ・デバイス10の代表的なタイミング図で、何れかのメモリ・バンクへの読み出し「ミス」、又はこれに替わるバンクへの書き込みのタイミングを示している。これらタイミングは異なるバンクへのアクセス時に待ち時間が減少することを示している。

【0079】図7(B)は、この発明によるメモリ・デバイス10の更なる代表的なタイミング図で、同一バンクへの連続した(back-to-back)書き込みのタイミングを示している。このタイミング図は、同じバンクにおいて、ページを閉じたり、新たなページを開くために要求される待ち時間を示している。

【0080】図8は、この発明によるメモリ・デバイス10の代表的なタイミング図で、12個のクロック・サイクルの最悪の場合のリフレッシュ遅延を例示している。このタイミング図は、リフレッシュ・サイクルの待ち時間のインパクトを示す。

【0081】上述の説明においては、この発明の原理を特定のデバイスのレイアウト、機能、及びこれらに関連した回路との関係で説明したが、単に一例を説明したにすぎず、この発明の範囲を限定するものではないことは明確に理解されるべきである。特に、以上の開示が教示

することは、当業者にこれ以外の変更を示唆していることを認識すべきである。そのような変更は、既にそれ自体既知である別の特徴を含むことができ、また、それらを、ここで既に記述された特徴に代わって、又は、それに加えて用いることも可能である。この出願では、特許請求の範囲は複数の特徴の特定の組み合わせとして定式化されているが、技術的範囲は、明示的にまたは暗示的に、あるいは一般的または変更として当業者には明らかである任意の新たな特徴、任意の新たな特徴の組み合わせを（任意の請求項で現時点で請求された同じ発明と関連するか否かにかかわらず、この発明によって直面された同じ技術的問題の何れかまたは全てを軽減するか否かに関わらず）含む。従って、出願人は、この出願またはこれから導かれた別の出願の手段の間に、それらの特徴及び／又はそれらの特徴の組み合わせを、新たな特許請求の範囲として定式化する権利を有しているものとする。

【図面の簡単な説明】

【図1】 この発明によるエンハンスド・バス・ターンアラウンド集積回路メモリ装置の簡略化された機能ブロック図である。

【図2】 この発明によるメモリ・デバイスのいろいろな実施例の512K×36と1M×18構成での代表的なピンアウトを示す図である。

【図3】 (A)はこの発明のメモリ・デバイスのパイプライン・動作モードでの動作に関する代表的なタイミング図、(B)はこの発明のメモリ・デバイスのフロー・スルー・動作モードでの動作に関する対応する代表的なタイミング図である。

【図4】 この発明のメモリ・デバイスのデバイス・リフレッシュ・タイミングを示す代表的なタイミング図である。

【図5】 (A)はこの発明のメモリ・デバイスのパイプライン・動作モードにおいてリフレッシュ中断が無く、しかも同一DRAMメモリ・バンクで全てのサイクルが実行される動作の代表的なタイミング図、(B)は従来のZBT SRAMデバイスの、図5(A)に示された類似の方法での動作に関する対応する代表的なタイミング図である。

【図6】 (A)はこの発明のメモリ・デバイスのフロー・スルー・動作モードにおいてリフレッシュ中断が無

く、しかも同一DRAMメモリ・バンクで全てのサイクルが実行される動作の代表的なタイミング図、(B)は従来のZBT SRAMデバイスの、図6(A)に示された類似の方法での動作に関する対応する代表的なタイミング図である。

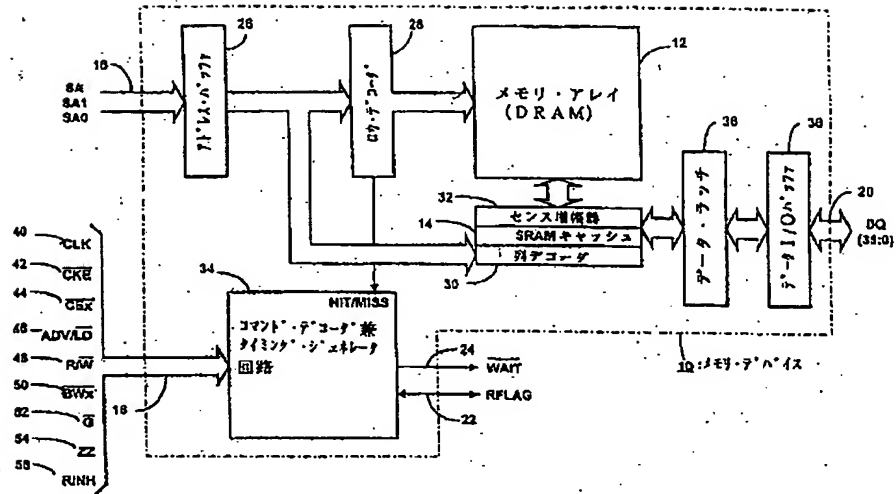
【図7】 (A)はこの発明のメモリ・デバイスの何れかのメモリ・バンクへの読み込み「ミス」、又はこれに替わるバンクへの書き込みのタイミングを示す代表的なタイミング図、(B)はこの発明のメモリ・デバイスの同一メモリ・バンクへの連続した書き込みのタイミングを示す別の代表的なタイミング図である。

【図8】 この発明のメモリ・デバイスの最悪な場合の12個のクロック・サイクルのリフレッシュ遅延を示す付加的な代表的なタイミング図である。

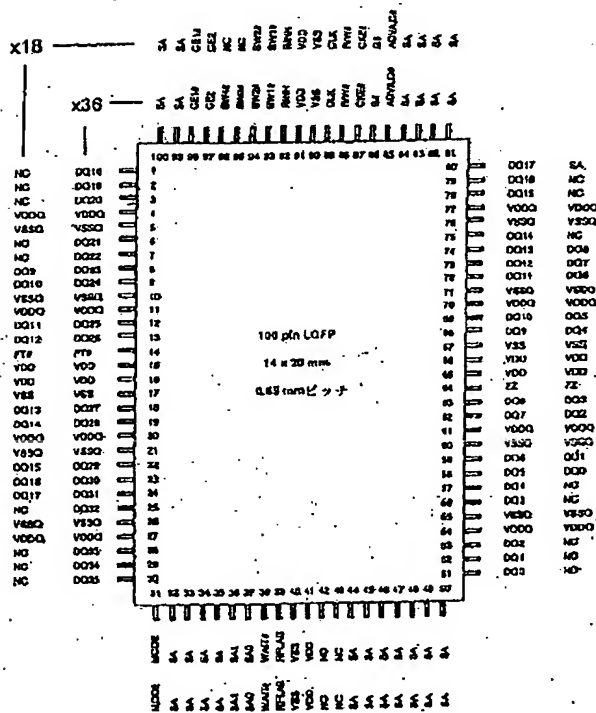
【符号の説明】

- 10:メモリデバイス
- 12:メモリ・アレイ
- 14:SRAMキャッシュ(行(ロウ)・キャッシュ)
- 16:同期アドレス・バス
- 18:コントロール・バス
- 20:DQ・バス
- 22:リフレッシュ・フラグ信号
- 24:アクティブ・ロー待機信号
- 26:アドレス・バッファ
- 28:行(ロウ)・デコーダ
- 30:列(コラム)・デコーダ
- 32:センス増幅器
- 34:コマンド・デコーダ兼タイミング・ジェネレータ回路
- 36:データ・ラッチ
- 38:データI/Oバッファ
- 40:同期クロック信号
- 42:アクティブ・ロー・クロック・イネーブル信号
- 44:アクティブ・ロー・チップ・イネーブル信号
- 46:アドレス・アドバンス/アクティブ・ロー・ロード信号
- 48:読み出し/アクティブ・ロー・書き込み信号
- 50:アクティブ・ロー・バイト・イネーブル信号
- 52:アクティブ・ロー・出力イネーブル信号
- 54:スヌーズ・イネーブル信号
- 56:リフレッシュ・禁止信号

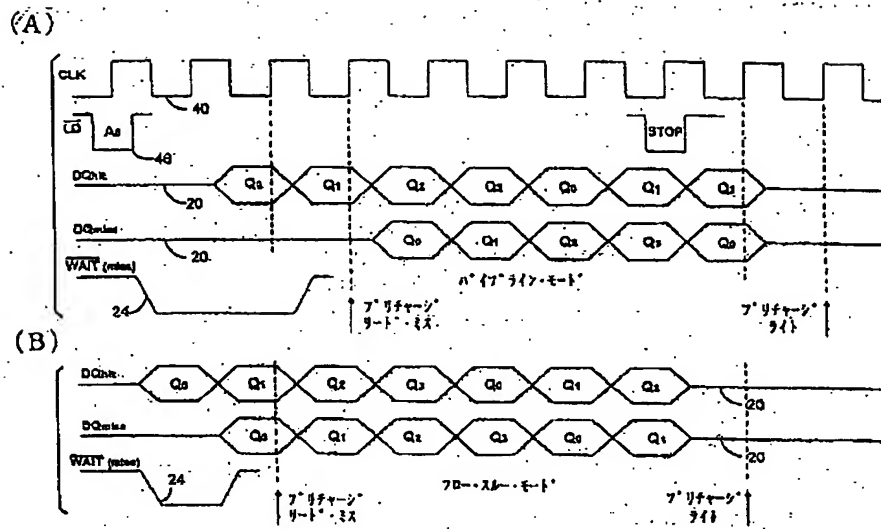
【図1】



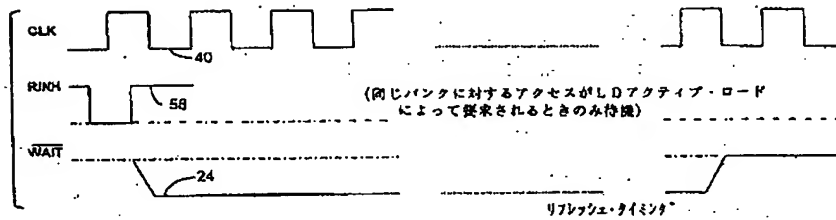
【図2】



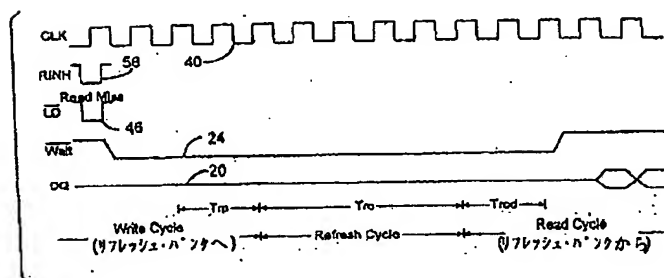
【図3】



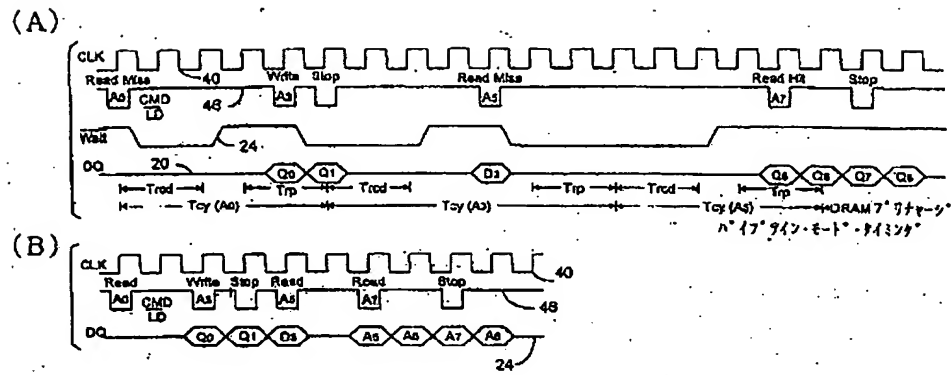
【図4】



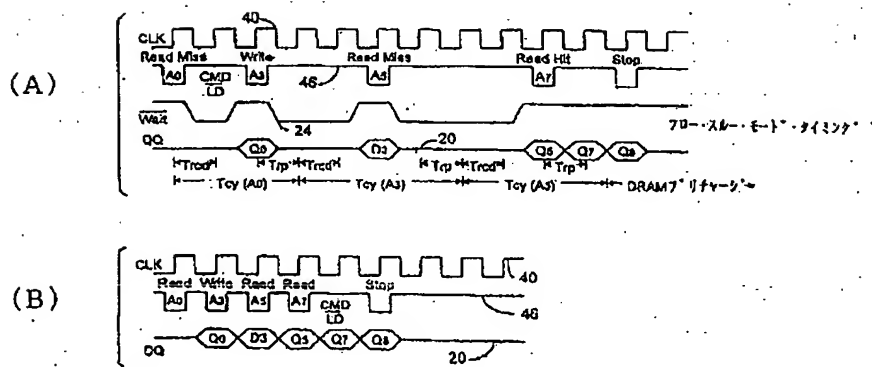
【図8】



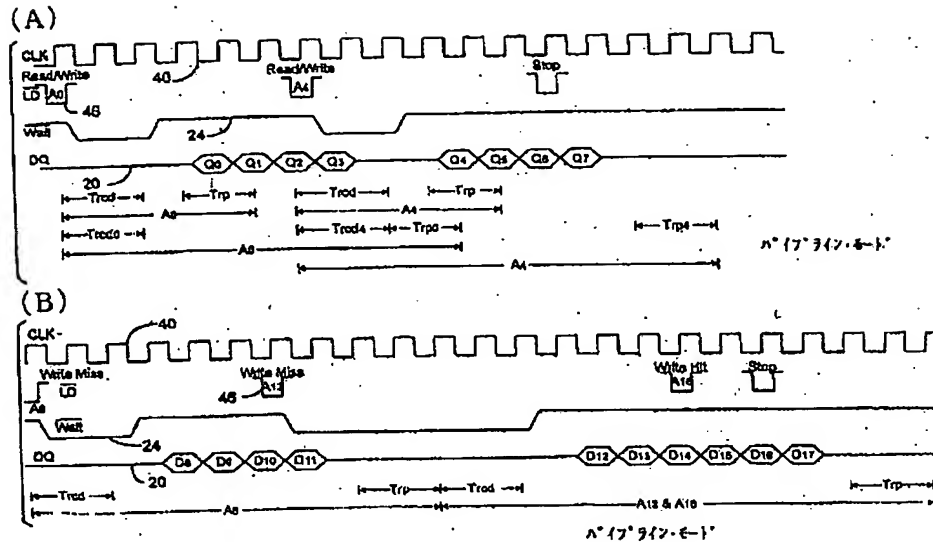
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

サーチコード (参考)

G 1 1 C 11/34

3 7 1 Z

(72) 発明者 デビッド・フィッシュ
アメリカ合衆国, コロラド州 80919, コ
ロラド・スプリングス, クリフ・ポイン
ト・サークル・ウエスト 5361

(72) 発明者 ブルース・グリーシャバー
アメリカ合衆国, コロラド州 80919, コ
ロラド・スプリングス, グレイ・イーグ
ル・レーン 6565

(72) 発明者 ケネス・モブレイ
アメリカ合衆国, コロラド州 80908, コ
ロラド・スプリングス, レミントン・ロー
ド 17070

(72) 発明者 マイケル・ビーターズ
アメリカ合衆国, コロラド州 80919, コ
ロラド・スプリングス, プロジェクト・ド
ライブ 3020